

0

DERWENT-ACC-NO: 1981-56017D

DERWENT-WEEK: 198131

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Silicon semiconductor integrated  
circuit devices - with  
Gp=iv electrode wiring layer contact,  
n and p type  
portions, doped with donor and  
acceptor impurities  
respectively

PATENT-ASSIGNEE: SUWA SEIKOSHA KK[SUWA]

PRIORITY-DATA: 1979JP-0149805 (November 19, 1979)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
JP 56071955 A		June 15, 1981	N/A
004	N/A		

INT-CL (IPC): H01L021/88

ABSTRACTED-PUB-NO: JP 56071955A

BASIC-ABSTRACT:

In a semiconductor integrated circuit device including p- and n-type diffused regions in Si substrate, electrode wiring layers for diffused regions are of Gp. IV metal elements, e.g. Ti, Zr, Hf, etc. Contact portions of the wiring layers for p-type diffused regions contain an acceptor impurity, e.g. B, Al, Ga, In, etc., while contact portions for n-type diffused regions contain a donor impurity e.g. P, As, Sb, Bi, etc.

In an example, to produce electrode wiring layers on p- and n-type diffused

regions, formed in n-type Si substrate, Ti layer with 2000 angstrom thickness is deposited on the substrate surface using a Ti target contg. 1 wt.% P. Ti layer is patterned to obtain an electrode wiring layer making an ohmic contact with the n-type diffused region. For the p-type diffused region, an electrode wiring layer is similarly produced using a Ti target contg. 2 wt.% B. Stable electrode wiring layers with high reliability are provided because Ti does not penetrate through shallow diffused regions as does Al.

TITLE-TERMS: SILICON SEMICONDUCTOR INTEGRATE CIRCUIT DEVICE  
GROUP=IV ELECTRODE  
WIRE LAYER CONTACT N P TYPE PORTION DOPE DONOR  
ACCEPT IMPURE  
RESPECTIVE

ADDL-INDEXING-TERMS:  
BORON@ ALUMINIUM@ GALLIUM INDIUM TITANIUM@  
ZIRCONIUM HAFNIUM  
PHOSPHORUS@ ARSENIC ANTIMONY BISMUTH@

DERWENT-CLASS: L03

CPI-CODES: L03-D03A; L03-D03D;

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭56—71955

⑮ Int. Cl.<sup>3</sup>  
H 01 L 21/88  
21/28

識別記号

庁内整理番号  
7210—5F  
7638—5F

⑯ 公開 昭和56年(1981)6月15日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体集積回路装置

会社諏訪精工舎内

⑰ 特 願 昭54—149805

⑰ 出 願 人 株式会社諏訪精工舎

⑱ 出 願 昭54(1979)11月19日

東京都中央区銀座4丁目3番4号

⑲ 発 明 者 蚊野利雄

⑲ 代 理 人 弁理士 最上務

諏訪市大和3丁目3番5号株式

明 細 書

1 発明の名称

半導体集積回路装置

2 特許請求の範囲

シリコン基板中に、P型、n型の両タイプの拡散層を有する半導体集積回路装置において、該拡散層からの引出し配線が、Ti, Zr, Hf, などの第4族金属元素からなり、且つ、P型拡散層との接触部は、B, Al, Ga, In, などのアクセプター不純物を含み、n型拡散層との接触部は、P, As, Sb, Biなどのドナー不純物を含むことを特徴とする半導体集積回路装置。

3 発明の詳細な説明

本発明は、拡散層からの引出し配線として、P、n各タイプに合せた不純物を含んだ金属配線を使用したことを特徴とする半導体集積回路装置に関わる。

従来、半導体集積回路装置に使用される配線用材料としては、Alが最も一般的であり、最近では、シリコンゲート構造として、ポリシリコンが使用される場合もある。

例えば、第1図に、相補型MOS集積回路装置の断面略図を示したが、n型Si基板1の表面に、nチャンネル用基板となるP型拡散層を形成し、次にPチャンネルトランジスタ用ソース・ドレイン拡散層3、4及び、nチャンネルトランジスタ用ソース・ドレイン拡散層5、6、さらにはストッパー用拡散層9、10を形成する。これら拡散層を有する基板上に、ゲート電極としてのポリシリコン膜8、絶縁膜7、及び電極配線としてのAl電極11が形成されている。

図から明らかなように、拡散層からの引出し配線はAlによっており、P型、n型に関わらず、同一金属でコンタクトをとっている。しかしながら、Al金属配線の欠点は、Alが第3族元素であるため、Siに対してアクセプター不純物として働き、P型拡散層を形成し、n型拡散層が浅い

(1)

(2)

場合、 $A\angle$ 中に $S1$ が拡散することと合せて、基板 $S1$ と導通し、リークが生じてしまうことである。図面により、さらに詳細に説明すれば、第2図において、 $P$ 型 $S1$ 基板12の表面に形成した $n$ 型拡散層13と絶縁膜14及び引出し電極15からなる断面構造を有し、引出し電極15が $A\angle$ で、拡散層が $0.4 \sim 0.5 \mu$ の場合、熱処理により $S1$ が $A\angle$ 中に拡散し、且つ、 $A\angle$ がアクセプター不純物として働くため、 $P$ 型 $S1$ 基板と矢印方向に導通してしまう。このため、拡散層、特に $n$ 型拡散層から $A\angle$ で引出し配線を行なう場合は、該拡散層を、約 $1 \mu$ 以上の深さにする必要があり、高密度化のネックとなっていた。さらに言えば、第3図において、第2図と同様、 $P$ 型 $S1$ 基板16の表面に形成した $n$ 型拡散層17と絶縁膜18及び引出し電極19からなる断面構造とし、且つ、コンタクト窓明けをセルフアライン構造にした場合は、下方向だけでなく、矢印の如く、横方向への突き抜けも生じる恐れが出てくる。

近年、集積回路の最大の技術目標として、高密

(3)

$3.0 - cm$ の $n$ 型 $S1$ 基板20を使用し、まず、 $n$ チャンネルトランジスタの基板となる深い $P$ 型拡散層21を形成する。形成方法は、イオン打込み法により、打込みエネルギー $60 KeV$ 、打込み量 $1 \times 10^{13} / cm^2$ で、打込み後、 $1190^\circ C$ 、 $16 H$ のドライブインを行ない、深さ約 $6 \mu$ の拡散層を形成している。次に、ストッパー用拡散層(図では省略)を形成し、さらにゲートポリシリコン層(省略)を形成し、フォトエッチングした後、ソース・ドレイン拡散層22, 23を形成する。該拡散層22, 23の形成方法は、従来法と同様であり、拡散深さを浅くするため、イオン打込み法によった。拡散深さは、 $P, N$ とも、 $0.4 \sim 0.5 \mu$ 程度であった。この後絶縁膜24が形成され、拡散層22, 23へのコンタクト窓明けが行なわれる。以上の工程は、従来の $S1$ ゲート相補型 $MOS$ 集積回路装置の製造方法と全く同一と考えて良い。

第4図(b)において、 $P$ を1%含有した $T1$ をターゲットとし、厚み $2000 \text{ \AA}$ スパッター蒸着し、

(5)

度化が挙げられており、このところ増々、膜厚を薄く、又拡散層を浅くする方向にある。さらに、拡散層からの引出し用コンタクトは、セルフアライン構造が採用され始めており、前述した如く、 $A\angle$ で接触をとることは離かしくなっている。又、最近、 $A\angle$ の代りに、 $A\angle - S1$ が使用されてきているが、これでも同様の問題が生じ、使用出来なくなっている。

本発明は、上記の欠点を解決したもので、引出し用配線金属として、第4族元素を使用し、 $P$ 型拡散層との接触部には、アクセプター不純物を含み、 $n$ 型拡散層との接触部には、ドナー不純物を含ませることにより、基板への突き抜け現象を防止したものである。

本発明を、図面により詳細に説明する。

第4図は、本発明による一実施例の製造工程を示す断面構造図であり、説明を簡潔にするため、単純な形で示した。実際には、第1図に示した構造と同じく、相補型 $MOS$ 集積回路装置を試作し、確認したものである。第4図(a)において、比抵抗

(4)

第1層 $T1$ 膜25を形成する。次に第4図(a)において、 $n$ 型拡散層接触部を中心に、該第1層 $T1$ 膜を蝕し、他は、エッチング除去する。第4図(d)において、 $B$ を2%含有した $T1$ をターゲットとし、厚み $5000 \text{ \AA}$ スパッター蒸着し、第2層 $T1$ 膜26を形成する。この後、配線パターンにフォトエッチングし、所定のパターンを得、さらに絶縁膜を積層し、最上部の $A\angle$ 配線を行なう。このようにして製造した相補型 $MOS$ 集積回路装置の拡散層からの引出し配線は極めて安定し、信頼性も高く、 $550^\circ C$ 程度の熱処理を行なっても、全く突き抜けは生じなかった。又、この $T1$ 配線の代りに、従来と同じく、 $A\angle$ の一層配線を行なったところ、 $450^\circ C$ 、 $10$ 分の熱処理で、 $n$ 型拡散層のほとんどが突き抜けてしまった。

このように、本発明によれば、拡散層が極めて薄い状態であっても、又、 $P$ 型拡散層、 $n$ 型拡散層のいずれであっても、突き抜け現象はなく、安定したコンタクト状態が得られるものである。

なお、実施例では、相補型 $MOS$ 集積回路装置

(6)

のソース・ドレイン拡散層からの引出し配線を例にとり説明したが、当然、バイポーラ型であっても良く、又、拡散抵抗用コンタクトについても同様のことが言え、同一基板内にP型拡散層とn型拡散層の両者を有する集積回路装置であれば、同様の効果が得られるものである。

さらに、第1層T1膜に含ませるドナー不純物としてPを代表例として示したが、As, Sb, Biなどの第5族元素であれば、同一の効果が得られることは明らかであり、又、第2層T1膜中のアクセプター不純物についても、B以外のAl, Ga, Inなどの第3族元素であれば同一の効果が得られ、且つ、含有させるパーセントについても、それ程、問題はなく、0.5〜5%程度の範囲が望ましいと言える。

又、実施例では、第1層T1膜にドナー不純物を含有せしめ、第2層T1膜にアクセプター不純物を含有せしめた工程として説明したが、この順序が逆、即ち、アクセプター不純物含有T1を第1層、ドナー不純物含有T1を第2層に使用する

(7)

11, 15, 19 …… Al配線

25 …… ドナー不純物含有T1

26 …… アクセプター不純物含有T1

以上

出願人 株式会社諏訪精工舎  
代理人 弁理士 殿上 務



工程であっても当然、同一の効果を奏するものであり、何ら、本発明の目的を逸脱するものではない。

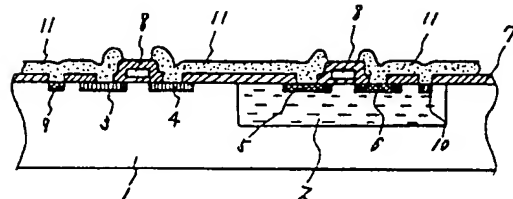
同様に、第4族金属元素としてTiを例として説明したが、他のZr, Hfについても、実験した結果、全く同一の結果が得られた。

#### 4. 図面の簡単な説明

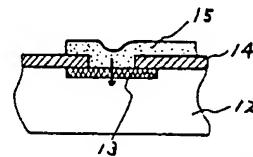
第1図は、従来の相補型MOS集積回路装置の断面略図、第2図、第3図は同じく従来法のn型拡散層部の拡大断面図である。第4図は、本発明による相補型MOS集積回路装置の一部の製造工程を示す断面略図である。

- 1, 12, 16, 20 …… シリコン基板
- 2, 21 …… P型拡散層 (nチャンネル用島)
- 3, 4, 22 …… P型拡散層
- 5, 6, 13, 17, 23 …… n型拡散層
- 7, 14, 18, 24 …… 絶縁膜
- 8 …… ポリシリコンゲート
- 9, 10 …… ストッパー拡散層

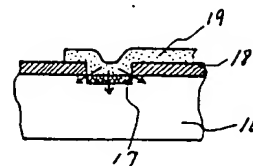
(8)



第1図

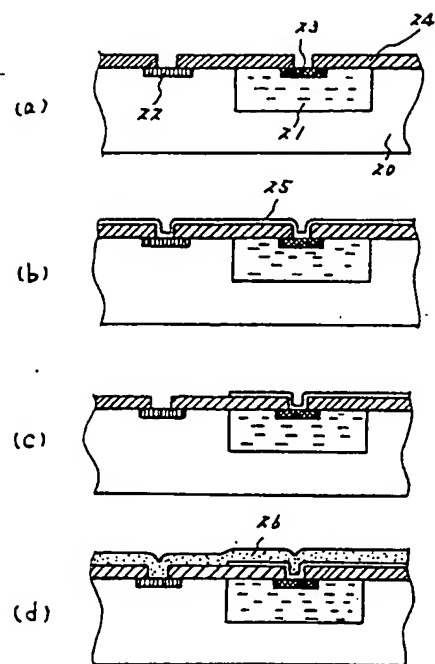


第2図



第3図

(9)



第 4 図